

PAT-NO: JP403225721A

DOCUMENT-IDENTIFIER: JP 03225721 A

TITLE: FIELD ELECTRON EMISSION ELEMENT AND MANUFACTURE
THEREOF

PUBN-DATE: October 4, 1991

INVENTOR-INFORMATION:
NAME
KOMATSU, HIROSHI

ASSIGNEE-INFORMATION:
NAME SEIKO EPSON CORP COUNTRY
N/A

APPL-NO: JP02315472

APPL-DATE: November 20, 1990

INT-CL (IPC): H01J001/30, H01J009/02 , H01J037/06

ABSTRACT:

PURPOSE: To improve the uniformity of electric characteristics by making an insulating layer contain, as its material components, the material component of a cathode electrode and an insulating impurity component which converts this material component into an insulating material.

CONSTITUTION: Si<SB>3</SB>N<SB>4</SB> films are piled up at the position where the cathode electrode is formed of an n-type Si single crystal substrate 1 to form a diffusional mask in a shape of truncated cone with a diameter of 5000 μ m; by photoetching. Next, oxygen is diffused in a portion without the mask 6 by the thermal oxidation method to form an SiO<SB>2</SB> insulating layer 3, and the portion of Si remains because oxygen does not invade into the lower portion of the mask 6, so that the portion becomes a cathode electrode 2; when steam oxidation is made, the portion of the electrode 2 conically projects. Then, a gate electrode layer 4' of Mo is formed on the insulating

layer 3 by the sputtering technique and the mask 6 is removed by the dry etching method, etc., to make a gate electrode opening 4a. Moreover, the insulating layer 3 is opened to expose a cathode electrode with an HF buffer liquid. As a result, the shortest distance between the cathode electrode 2 and the gate electrode 4 is approximately 2700 \AA ; and also their mutual dispersion is lessened.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-225721

⑤Int.Cl.⁵ 識別記号 庁内整理番号 ⑬公開 平成3年(1991)10月4日
 H 01 J 1/30 A 6722-5C
 9/02 B 6722-5C
 // H 01 J 37/06 Z 9069-5C

審査請求 未請求 請求項の数 4 (全16頁)

⑭発明の名称 電界電子放出素子およびその製造方法

⑯特 願 平2-315472

⑰出 願 平2(1990)11月20日

優先権主張 ⑱平1(1989)12月18日⑲日本(JP)⑳特願 平1-327621

㉑発明者 小 松 博 志 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉒出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉓代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

電界電子放出素子およびその製造方法

2. 特許請求の範囲

(1) 平面基板と、該平面基板の表面に設けた突起形状のカソード電極と、前記平面基板の表面に設けた絶縁層であって前記カソード電極の近傍で開口された絶縁層と、該絶縁層の表面に設けたゲート電極であって前記カソード電極の近傍で開口されたゲート電極とを有する電界電子放出素子において、前記絶縁層はその材料成分に前記カソード電極の材料成分と、前記カソード電極の材料成分を絶縁性材料に変換する絶縁性不純物成分とを少なくとも含む絶縁層であることを特徴とする電界電子放出素子。

(2) 平面基板表面のカソード電極形成位置に拡散マスクを形成する第一工程と、前記平面基板

表面に絶縁性不純物を拡散し絶縁層およびカソード電極を形成する第二工程と、前記絶縁層の表面にゲート電極層を形成する第三工程と、前記カソード電極位置に自己整合して前記ゲート電極層を開口しゲート電極を形成する第四工程と、前記カソード電極近傍の絶縁層を開口する第五工程と、を少なくとも含むことを特徴とする電界電子放出素子の製造方法。

(3) 前記第一工程は逆テーパ形状もしくは庇形状を有する拡散マスクを形成する工程であって、かつ、前記第三工程は方向性粒子堆積法にてゲート電極層を形成する工程であって、かつ、前記第四工程は前記拡散マスクを除去し前記ゲート電極層を開口する工程であることを特徴とする請求項4に記載の電界電子放出素子の製造方法。

(4) 前記カソード電極の表面をドライエッチングする第六工程を含むことを特徴とする請求項4乃至5に記載の電界電子放出素子の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は発光型表示装置、光プリンタヘッド、多極電子装置、X線発生装置などに利用される電子源のうち、電界効果により電子放出される電界電子放出素子の構造およびその製造方法に関する。

[従来の技術]

従来の電界電子放出素子およびその製造方法は、スピント(C.A.Spindt)らがジャーナル・オブ・アプライド・フィジックス(J.A.P.)、vol.47、No.12(1976)に発表したものが知られている。

第3図は従来のスピント型電界電子放出素子の概略断面図である。この電界電子放出素子は低抵抗のシリコン(Si)基板301の表面に積層された絶縁層303とゲート電極304と、これらのもつ開口の内部でSi基板301の表面に形成された突起形状のカソード電極302より構成される。絶縁層303およびゲート電極304の膜厚はそれぞれ1.5 μ mおよび0.4 μ mであり、

ゲート電極304の開口径は1.5 μ m、カソード電極302の高さは約1.9 μ mである。

この電界電子放出素子の製造方法は、まずSi基板301表面に二酸化シリコン(SiO₂)膜よりなる絶縁層303とモリブデン(Mo)よりなるゲート電極304をスパッタ法により積層した後、ゲート電極304および絶縁層303にフォトリソグラフィ法によりゲート電極開口304aおよび絶縁層開口303aを設ける。その後全面にMoをスパッタ法により堆積させ、それぞれの開口を利用してSi基板301の表面に自己整合的に突起形状のカソード電極302を形成する。最後にゲート電極304表面の不要なMoを電解エッチングによって除去し製造プロセスを完了する。

[発明が解決しようとする課題]

しかし、前述した従来技術の電界電子放出素子およびその製造方法には以下に列記するいくつかの問題点があった。すなわち、

[課題を解決するための手段]

本発明の電界電子放出素子は、

平面基板と、該平面基板の表面に設けた突起形状のカソード電極と、前記平面基板の表面に設けた絶縁層であって前記カソード電極の近傍で開口された絶縁層と、該絶縁層の表面に設けたゲート電極であって前記カソード電極の近傍で開口されたゲート電極とを有する電界電子放出素子において、前記絶縁層はその材料成分に前記カソード電極の材料成分と、前記カソード電極の材料成分を絶縁性材料に変換する絶縁性不純物成分とを少なくとも含有する絶縁層であることを特徴とする。

本発明の電界電子放出素子の製造方法は、

平面基板表面のカソード電極形成位置に拡散マスクを形成する第一工程と、前記平面基板表面に絶縁性不純物を拡散し絶縁層およびカソード電極を形成する第二工程と、前記絶縁層の表面にゲート電極層を形成する第三工程と、前記カソード電極位置に自己整合して前記ゲート電極層を開ロしゲート電極を形成する第四工程と、前記カソード

① 面積の大きな平面基板の全面にカソード電極を形成する場合、スパッタ法あるいは蒸着法などは線源から平面基板を見たとき仰角をもち、平面基板の中心付近と周辺付近とは平面基板面に対する粒子の飛程角度が異なる。このため、製造されたカソード電極の軸と平面基板面とのなす角度は面内分布をもち、カソード電極とゲート電極との距離に依存した電界電子放出素子の放出閾値電圧や電流密度に分布が生じていた。

② また、カソード電極を形成する工程のなかで、Moのスパッタ工程後に行われる電解エッチング工程において、不要なMoと同時にカソード電極がエッチングされてしまい、このため、カソード電極の形状維持が難しく、その製造歩留りの低下を招いていた。

そこで本発明は前述した従来技術の問題点を克服するためのもので、その目的とするところは、大面積の平面基板においても均一に歩留り高くカソード電極を形成できる電界電子放出素子およびその製造方法を提供するところにある。

電極近傍の絶縁層を開口する第五工程と、を少なくとも含むことを特徴とし、

また、前記第一工程は逆テーパ形状もしくは底形状を有する拡散マスクを形成する工程であって、かつ、前記第三工程は方向性粒子堆積法にてゲート電極層を形成する工程であって、かつ、前記第四工程は前記拡散マスクを除去し前記ゲート電極層を開口する工程であることを特徴とし、

さらに、前記カソード電極の表面をドライエッチングする第六工程を含むことを特徴とする。

[実施例]

本発明の電界電子放出素子およびその製造方法を実施例に基づきさらに詳述する。

<実施例1>

本実施例ではSi単結晶基板の熱酸化法によってつくられる電界電子放出素子とその製造方法について述べる。

まず電界電子放出素子の構造について説明する。

厚は5000Å、直流耐圧は約8MV/cmである。ゲート電極4は膜厚が1000ÅのMo薄膜である。カソード電極2の上部のゲート電極4には直径が約4000Åで、その中心軸がカソード電極2の軸5に一致する円形のゲート電極開口4aが設けられている。またゲート電極4は開口部付近でカソード電極2の方向に折り曲げられた構造をもつ。ゲート電極開口4aの下部の絶縁層3にはカソード電極2が露出するように絶縁層開口3aが設けられている。突起先端2aは絶縁層3の平坦部分で概略規定される絶縁層仮想面B-B'、およびゲート電極開口4aの周辺で概略規定されるゲート電極開口仮想面C-C'よりは平面基板1の側に位置する。突起先端2aとゲート電極4の最短距離は約2700Åである。

つぎに、この電界電子放出素子の製造方法について説明する。第2図(a)乃至(e)は製造方法の各主要工程終了後における平面基板の概略断面図である。

まず第一工程では厚さ700μm、6インチφ

第1図(a)および(b)は本実施例の電界電子放出素子の概略平面図およびA-A'線に沿った概略断面図である。この電界電子放出素子はSi単結晶基板よりなる平面基板1と、平面基板1の表面に形成された突起形状のカソード電極2と、カソード電極2の近傍で開口され平面基板1の表面に形成された絶縁層3と、カソード電極2の近傍で開口され絶縁層3の表面に形成されたゲート電極4より構成される。平面基板1はn型伝導体でキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の(100)面を有するSi単結晶基板である。カソード電極2は平面基板1と一体化した同一のn型Si単結晶基板からなり、高さ約2400Åで概ね円錐形状を有する。またカソード電極2の突起先端2aはその曲率半径が1000Å以下で鋭角である。絶縁層3は平面基板1の表面を熱酸化してつくられる二酸化SiO₂材料よりなる。すなわち、絶縁層3はカソード電極2の材料であるSiと、そのSiをSiO₂絶縁性材料に変換する絶縁性不純物成分である酸素(O)を含む。絶縁層3の膜

のn型Si単結晶基板よりなる平面基板1のカソード電極形成位置にシリコン窒化膜(Si₃N₄膜)よりなる拡散マスク6を形成する。Si₃N₄膜は熱CVD(Chemical Vapour Deposition)法によって堆積され、3000Åの膜厚である。これをフォトリソ法で加工し、直径が約5000Åの円錐台形状の拡散マスク6を形成する。拡散マスク6はその壁面が平面基板1面に対して90度以下の順テーパ形状を有する(第2図(a))。なお、拡散マスク6は円錐台形状以外の形状、例えば角錐台や楕円錐台形状であってもよい。

つぎに第二工程では熱酸化法を利用し、平面基板1の表面のうち、拡散マスク6の存在しない領域には絶縁性不純物である酸素(O)を熱拡散してSiO₂絶縁層3を形成し、拡散マスク6の存在する領域にはカソード電極2を形成する。拡散マスク6は表面からの酸素の浸入を防止するため、拡散マスク6の存在しない領域では平面基板1の表面から垂直方向に酸化が進むが、拡散マスク6の存在する領域では垂直方向へは酸化が進まない。

しかし熱酸化法においては拡散マスク6の端部より横方向に酸化が進むため、拡散マスク6の下部に拡散マスク6に自己整合した円錐形状のSi突起を残すようにSiO₂膜が形成される。この残されたSi突起がカソード電極2である。基板温度を1100℃にして30分間の水蒸気酸化を行ったとき、平面基板1の表面には膜厚5000ÅのSiO₂絶縁層3が形成され、拡散マスク6の下部には高さ2400Å、底面の直径約5000Åの円錐形状のSiよりなるカソード電極2が形成された。拡散マスク6はその周囲がSiO₂層に押し上げられて凹状に湾曲し、また、その表面にはSiON膜が形成された(第2図(b))。

つぎに第三工程ではスパッタ法によって絶縁層3の表面にMoよりなるゲート電極層4'を形成する。ゲート電極層4'の膜厚は絶縁層3や拡散マスクの表面で2000Åであり、拡散マスク6の壁面で約800Åであった(第2図(c))。

つぎに第四工程ではカソード電極2に自己整合したゲート電極開口4aを形成する。まず、拡散

マスク6の壁面を露出させるためにドライエッチング法によってMoの表面を1000Åだけ部分除去する。このとき、拡散マスク6の壁面にあるMoは完全に除去され、拡散マスク6および絶縁層3の表面には1000Åのゲート電極層4'が残る。つぎに、露出した拡散マスク6の壁面から熱酸液でこれをエッチング除去する。このとき拡散マスク6の表面にあるMoもリフトオフ除去される。これによってカソード電極2に自己整合したゲート電極開口4aを有するゲート電極4が形成された。ゲート電極開口4aの開口直径は約4000Åである(第2図(d))。

最後の第五工程では絶縁層3を開口して、カソード電極2を露出させる。HFバッファ液はMoやSiは溶かさず、SiO₂は溶かすため、これを用いてゲート電極開口4a領域に露出した絶縁層3をエッチング除去し、絶縁層開口3aを設けてカソード電極2を露出させる(第2図(e))。

このような製造方法によって製造された電界電子放出素子は、カソード電極2とゲート電極4の

最短距離が約2700Åであり、このばらつきは6インチφの平面基板1で±2%以内と非常に小さく良好であった。このばらつきの程度は拡散マスク6の下部の横方向の酸化速度のばらつきを反映しており、熱酸化時の基板温度を均一にすることでさらに小さくできる。

このように製造した電界電子放出素子の電気特性を高真空中(1×10^{-7} Torr以下)で測定した。その結果、一素子当りのカソード電流 I_k が $I_k = 1 \mu A$ となるゲート電圧 V_{gk} を閾値電圧 V_{th} とすると、本実施例のものは $V_{th} = 80 V$ であった。また、そのばらつきは±5%以内であった。閾値電圧のばらつきはカソード電極2の表面状態に依存しており、真空中でその表面をクリーニングすることなどによってさらに改善される。閾値電圧を下げるにはカソード電極2とゲート電極4の距離をより短くすればよい。これには絶縁層3の膜厚を薄くする方法が考えられるが、このほかに、製造方法において第三工程のゲート電極層4'の形成の前に、拡散マスク6の表面に形成されてい

るSiON膜をエッチング除去することで拡散マスク6の直径を小さくし、ゲート電極開口4aの開口径を小さくする方法が効果的である。

なお絶縁層3の材料としてSiO₂を用いたが、本発明はこれに限定されるものでなく、たとえば窒素(N)を拡散した窒化シリコン(SiN_x)や酸化窒化シリコン(SiON)なども利用できる。絶縁層の形成方法として熱酸化法を用いたが、本発明はこれに限らず、イオン注入法や陽極酸化法による絶縁性不純物成分の拡散法が適用できることは言うまでもない。

また絶縁層の材料にSiO₂などの絶縁体を取り上げたが、本発明はこれに限るものではない。すなわち、例えば、平面基板1にp型Si単結晶基板を用い、その表面に設けたn型Si層との間に形成されるp-n接合空乏層を絶縁層としてもよい。このときカソード電極はp型Siであり、絶縁層はそれに絶縁性不純物成分として、例えばリン(P)を含む。p型Si単結晶基板の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ のとき、p-n接合空乏

層の逆バイアス降伏電圧は約300Vであって、このとき、電界電子放出素子の絶縁層として十分な耐圧を有する。表面に設けたn型Si層をゲート電極として使用してもよい。また、SiO₂膜との積層構造にして絶縁層を構成してもよい。

またゲート電極4の材料として、Moのほかにチタン(Ti)、クロム(Cr)、アルミニウム(Al)などの金属やシリサイド、半導体などが利用できる。

また本実施例では平面基板1にn型Si単結晶基板を用いたが、これに限定されず、p型Si単結晶基板や、ゲルマニウム基板、ガリウム砒素基板などの半導体基板やAl基板などの金属基板などが適用できる。

<実施例2>

本実施例では電界電子放出素子の製造に用いる拡散マスクとして、逆テーパー形状のものもしくは底形状のものを利用する製造方法について述べる。

第4図(a)乃至(d)は逆テーパー形状を有す

る平面基板1の表面に対して概ね垂直方向より粒子を飛ばし、ゲート電極層4'を堆積させる方法である。この方法を用いると逆テーパー形状を有する拡散マスク6の底効果によって拡散マスク6の壁面には粒子は堆積せず、拡散マスク6の表面と絶縁層3の表面との間でゲート電極層4'は分断される。本実施例では方向性粒子堆積法として電子ビーム蒸着法を用い、Mo粒子を1000Åの膜厚に堆積させてゲート電極層4'を形成した(第4図(c))。方向性粒子堆積法としては蒸着法以外にスパッタ法やECRプラズマ堆積法などが適用できる。

つぎに第四工程および第五工程ではカソード電極2に自己整合させてゲート電極開口4aおよび絶縁層開口3aを連続的に形成する。平面基板1をHFバッファ液に浸漬し拡散マスク6とカソード電極2の近傍の絶縁層3を連続してエッチング除去しカソード電極2を露出させる。このとき拡散マスク6の表面のMoもリフトオフ除去される(第4図(d))。

る拡散マスクを利用した電界電子放出素子の製造方法の各主要工程終了後における平面基板の概略断面図である。

まず、第一工程では平面基板1の表面に逆テーパー形状の拡散マスク6を形成する。拡散マスク6は平面基板1の表面に熱CVD法で堆積した膜厚5000ÅのSiO₂膜をフォトリソ法で逆テーパー形状に加工したもので、平面基板1に接する下面の直径が0.5μm、それと反対側の上面の直径が1.5μmの逆円錐台形状を有する。熱CVD法で堆積したSiO₂膜は平面基板1との密着強度が低く、レジストとの密着強度を高くした状態でHF系の湿式エッチングを行うと、平面基板1との界面でのエッチングが早く進行し、逆テーパー形状の拡散マスク6が形成される(第4図(a))。

つぎに第二工程では実施例1の第二工程と同様にして絶縁層3を形成する(第4図(b))。

つぎに第三工程では方向性粒子堆積法によってゲート電極層4'を形成する。方向性粒子堆積法

本実施例による製造方法は方向性粒子堆積法の適用で拡散マスク6の壁面は露出しており、実施例1の第三工程で行ったMoの表面を部分除去して壁面を露出する工程は不要であり、また拡散マスク6と絶縁層3は同材料であるため、ゲート電極開口4aと絶縁層開口3aを同一手段で連続して形成できるという優れた特長を有する。

本実施例では拡散マスク6としてSiO₂材料よりなる逆テーパー形状のものを利用したが、この他に多層膜で構成された底形状のものなどが利用できる。第5図(a)および(b)は多層膜よりなる二種類の拡散マスクの概略断面図である。拡散マスク6を構成する多層膜は平面基板1の表面から順に第一SiO₂膜6a、Si₃N₄膜6b、および第二SiO₂膜6cである。第二SiO₂膜6cは第5図(a)のものが逆テーパー形状で、第5図(b)のものが順テーパー形状であるが、いずれもその下部の第一SiO₂膜6aやSi₃N₄膜6bに比べ横に突き出た構造であって底効果を有することが重要である。Si₃N₄膜6bは絶縁

性不純物の透過防止作用があり、第一SiO₂膜6aはSi₃N₄膜6bの応力緩和作用がある。

<実施例3>

本実施例ではカソード電極をより高くし、突起先端をゲート電極により近づけた電界電子放出素子とその製造方法について述べる。

第6図(a)乃至(e)は本実施例の電界電子放出素子の製造方法の各主要工程終了後における平面基板の概略断面図である。

まず第一工程では平面基板1の表面のカソード電極形成位置に拡散マスク6を形成し、平面基板1の拡散マスク6の下部に台座1aを形成する。拡散マスク6は平面が正方形、断面が逆テーパ形状の逆角錐台形状を有し、平面基板1と接する下面は一辺が5000Åの正方形であり、その辺の方向はSi単結晶基板の<110>方向に一致している。拡散マスク6の製造方法は実施例2の第一工程と同様である(第6図(a))。台座1aは高さが3500Å、上面の一辺が約5000Å

の角錐台形状であり、拡散マスク6をエッチングマスクとしてSi単結晶基板の異方性エッチング法によって形成した(第6図(b))。異方性エッチング法としてエチレンジアミン・ピロカテコール・水の混合エッチング液を用いるEPW法を利用した。このほかにKOH法あるいはドライエッチング法などが適用できる。異方性エッチング法で形成された台座1aは平面基板1の表面に対して約55度の角度をなす(111)面の壁面を4面有する。

つづく第二工程乃至第五工程は実施例2の第二工程乃至第五工程と同様である(第6図(c)乃至(e))。

第7図(a)および(b)は本実施例の電界電子放出素子の概略平面図およびD-D'線に沿った概略断面図である。平面基板1の表面に形成されたカソード電極2は高さが約6000Å、断面の頂角(θ)が約70度の概ね正四角錐形状を有し、その錐軸5は概ね正形状を有するゲート電極開口4aの中心を通る。平面部における絶縁層

3の膜厚は約5000Å、ゲート電極4の膜厚は約1000Åである。従って、突起先端2aは絶縁層3の平面部で概略規定される絶縁層仮想面E-E'よりは上に位置し、ゲート電極開口4aの周辺で概略規定されるゲート電極開口仮想面F-F'よりは下に位置する。突起先端2aとゲート電極4との間の最短距離は約2500Åである。この電界電子放出素子は実施例1もしくは実施例2のものに比べ、突起先端2aがゲート電極4により近づいた構造である。これは台座1aを用いることによって突起先端2a付近のSiO₂膜の盛り上がり量が低減したことによる。本実施例で述べた電界電子放出素子の閾値電圧はV_{gk}=70V(I_k=1μA)であった。

<実施例4>

本実施例では絶縁性基板とその表面に設けられた導電性薄膜とからなる平面基板を利用した電界電子放出素子とその製造方法について述べる。

第8図は絶縁性基板をもつ電界電子放出素子の

概略断面図である。この電界電子放出素子は透明な石英基板1bとその表面に形成された導電性のn型多結晶Si薄膜1cからなる平面基板1と、Si薄膜1cの表面に一体的に同材料で形成されたカソード電極2と、Si薄膜1cの表面に形成されカソード電極2の近傍で開口されたSiO₂膜よりなる絶縁層3と、絶縁層3の表面に形成されカソード電極2の近傍で開口されたゲート電極4から構成される。Si薄膜1cは電子濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ 、比抵抗が約 $0.03 \Omega \cdot \text{cm}$ であり、その膜厚はカソード電極2の存在しない平坦部で約5000Åである。カソード電極2は高さが約2000Åの概ね円錐形状で、突起先端2aの曲率半径は2000Å以下である。絶縁層3は膜厚が約5500Åで、Si薄膜1cに絶縁性不純物である酸素を熱拡散して形成したものである。ゲート電極4は膜厚1000ÅのMo薄膜よりなり、ゲート電極開口4aは直径約5500Åの円形でカソード電極2に自己整合的に形成されている。

この電界電子放出素子の製造方法は、平面基板1の準備工程と熱酸化条件を除き、実施例2で述べた製造方法と同様である。平面基板1の準備工程は厚さ1.1mm、直径6インチφの石英基板1bの表面にn型のSi薄膜1cを形成し、平面基板1を準備する工程である。Si薄膜1cは減圧CVD法によって堆積された膜厚が8000Åのノンドーパ多結晶Si薄膜にリン(P)を熱拡散して低抵抗化したものである。また、第二工程の熱酸化条件は基板温度が1100℃、酸化時間が20分で水蒸気酸化である。多結晶Si薄膜は単結晶Si基板に比べて酸化速度が速いため酸化時間が短い。

なおSi薄膜1cは配線にも利用できる。この場合、熱酸化工程の前にSi薄膜1cをエッチングし分離しておけば、第二工程の絶縁層を形成する際に、配線も絶縁層に覆われ配線の絶縁分離に都合がよい。絶縁性基板に透明なものを用いると、平面基板1はSi薄膜1cやゲート電極4の存在しない領域は透明である。したがって、本実施例

の電界電子放出素子を利用して発光型表示装置を構成した場合、平面基板1の方向より蛍光層の発光を認識できるので明るい表示装置が実現できる。

本実施例では導電性薄膜としてSi薄膜を、絶縁層としてSiO₂膜を用いたが、この組合せに限らず、例えば第1表のような組合せのものが適用できる。

第1表

導電性薄膜	絶縁層
単結晶Si(c-Si)	SiO ₂ 又はSi ₃ N ₄
多結晶Si(p-Si)	〃
非晶質Si(a-Si)	〃
アルミニウム(Al)	Al ₂ O ₃
タンタル(Ta)	Ta ₂ O ₅

ここで、Al₂O₃やTa₂O₅はAlやTaに陽極酸化法によって絶縁性不純物である酸素を拡散して形成してもよい。また、石英基板1bの他、製造方法に耐えられる平面性基板であれば種類は問わず利用できる。

本実施例の製造方法に実施例3を適用し、台座を導電性薄膜に形成して、突起先端をゲート電極により近づけることも容易である。

<実施例5>

本実施例ではカソード電極のおもに突起先端をシャープ化する電界電子放出素子の製造方法について述べる。本実施例は前述した実施例1乃至4の電界電子放出素子に適用されるのはもちろんであるが、これ以外の突起状カソード電極をもつ電界電子放出素子にも適用可能である。

第9図(a)乃至(c)は本実施例の第六工程前後における平面基板の概略断面図である。第六工程は第五工程までに製造された電界電子放出素子のカソード電極をドライエッチング技術によってシャープ化する工程である。第五工程終了後のカソード電極2は不純物の界面に沿った拡散などに起因して曲率半径が数1000Åと大きくなる場合がある(第9図(a))。このような電界電子放出素子は閾値電圧が非常に大きく電気特性が

良好ではない。そこで突起先端2aの曲率半径を小さくし電気特性を向上させるために、第六工程でカソード電極2にビーム状のエッチングガス7を照射し、おもにカソード電極2の側面をエッチング除去して突起先端2aをシャープ化するのである(第9図(b))。カソード電極2がSi材料のとき、エッチングガス7としてプラズマ状態のフロン(CF₄)を用い、化学的にエッチングを行った。この他に加速粒子でスパッタする物理的エッチングも有効である。Si材料以外のものであってもこれらの方法は有効である。シャープ化された電界電子放出素子はカソード電極2の周辺の平面基板1が抉られ、突起先端2aがゲート電極4より1.5倍ほど遠くなるものの、その曲率半径は500Å以下となり、カソード電極2のシャープ化が実現できた(第9図(c))。

本実施例に従ってシャープ化されたカソード電極を有する電界電子放出素子は閾値電圧がV_{gk}=55V(I_k=1μA)であり、シャープ化する以前のものに比べ約30%閾値電圧が低下した。

閾値電圧を下げる方法として、①ゲート電極とカソード電極との距離を小さくする方法、②突起先端の曲率半径を小さくする方法があるが、この他に、カソード電極の仕事関数を小さくする方法も非常に有効である。バリウム(Ba)、セシウム(Cs)、トリウム(Th)、酸化バリウム(BaO)、酸化トリウム(ThO₂)などの仕事関数の小さな材料の薄膜を突起先端付近に形成すればよい。第10図はカソード電極2の突起先端2aにBa薄膜8を形成した電界電子放出素子の概略断面図である。この電界電子放出素子の閾値電圧は $V_{gk} = 40V$ ($I_k = 1\mu A$)であった。Ba薄膜8の存在でカソード電極2とゲート電極4の距離が小さくなり、この効果によっても閾値電圧が低下する。

<実施例6>

本実施例では電界電子放出素子を利用した多極電子装置について述べる。

第11図(a)および(b)は縦型三極装置の

グ材料によって $1 \times 10^{-7} \text{ Torr}$ 以下の真空度に維持されている。それぞれの電極から外部電子回路への取り出しはカソード端子1d、ゲート端子4b、およびアノード端子9aを用いた。この縦型三極装置はカソード電極2とゲート電極4との距離(G-K間距離)が2500Å、カソード電極2とアノード電極9との距離(A-K間距離)が50μmである。また真空層12の大きさは縦200μm、横200μm、厚さ50μmである。

第12図(a)および(b)は横型三極装置の概略平面図およびH-H'線に沿った概略断面図である。横型三極装置は電界電子放出素子とアノード電極9を平面基板1の表面に横に並べた構造であって、アノード電極9とゲート電極4が同層で形成される点が縦型三極装置と異なる。そのほかの構造は第11図に示した構造と同様である。

前述した縦型三極装置の電圧・電流(V-I)静特性を第13図に示す。これはカソード電極2を接地し、アノード電圧を $V_{ak} = 200V$ 一定とした状態で、ゲート電圧 V_{gk} に対するゲート電流

概略平面図およびG-G'線に沿った概略断面図である。三極装置はカソード電極、ゲート電極、およびアノード電極という3つの電極を真空中に有した真空トランジスタであって、各電極の電位によって電子電流を制御する電子装置である。縦型三極装置はカソード電極2およびゲート電極4からなる電界電子放出素子を有する平面基板1とアノード電極9を表面に有する対向基板10とをカソード電極2とアノード電極9が向かい合うように挟持体11を介して配置し、これらの中間に真空層12を保持した構造である。電界電子放出素子は実施例3に基づいて製造し、4個を並列にしてゲート電極4を共用した。対向基板10は平面ガラス基板であって、その熱膨張係数が平面基板1のそれに10%以内の誤差で一致するものとした。アノード電極9はW材料よりなる。挟持体11は対向基板10と同じ材質で、電界電子放出素子を囲んで形成し、それぞれの基板とフリットガラスを使用して接着し封止した。真空層12は光加熱によって蒸発させたBaAl、ゲッターリン

13a (I_{gk})とアノード電流13b (I_{ak})を測定したグラフである。 I_{gk} および I_{ak} は V_{gk} に対し指数関数的に増加しFNTトンネル電流であることを示す。ここで注目すべきは V_{gk} に関係なく電流比(I_{ak}/I_{gk})がほぼ一定で約30となる点である。すなわち縦型三極装置は電流モードで制御すると、入力(I_{gk})に対して出力(I_{ak})が比例関係にあり、電流増幅率 $\alpha = 30$ のリニア電流増幅器となる。第14図はこの縦型三極装置を用いてリニア増幅器を構成した回路図である。三極装置14のカソード電極2を接地し、アノード電極9にアノードバイアス電圧16 (V_{av})と負荷抵抗15 (R_L)を直列接続した構成である。ゲート電極4にバイアス電流 I_i と微小信号電流 i_i を重ねさせた入力電流17 ($I_i + i_i$)を入力すると、負荷抵抗15の両端に①式で示される出力電圧が現われる。すなわち、

$$\begin{aligned} V_o + v_o &= -\alpha \cdot R_L \cdot (I_i + i_i) \\ &= -\alpha \cdot R_L \cdot I_i - \alpha \cdot R_L \cdot i_i \quad \cdots \textcircled{1} \end{aligned}$$

である。したがって①式より微小信号電流 i_i が $-\alpha \cdot R_i$ 倍に増幅された出力電圧 v_o が得られる。このような特性は横型三極装置でも同様に得られる。

また三極装置はゲート電圧のオン/オフによりアノード電流のスイッチング動作を行うことも可能である。このような特性をもつ三極装置はオーディオのパワー増幅器やブラシレスモータの駆動回路などに使用される。

なお、三極真空装置のアノード電極 9 の材料として銅 (Cu) などの X 線を発生する材料を用い、電界電子放出素子から放出される電子で励起することによって、このような三極装置から X 線発生装置をつくることができる。この X 線発生装置は X 線源を数 $10 \mu\text{m}$ 以下と微細にできるため、微小ビームの X 線源が実現できる。

< 実施例 7 >

本実施例では電界電子放出素子を用いた発光型表示装置について述べる。発光型表示装置は電界

電子放出素子群と蛍光層とからなる面素をマトリクス状に配列し、所望の表示パターンになるように選択された各面素において、蛍光層を電界電子放出素子からの電子で励起発光させパターン表示させるものである。

第 15 図は単純マトリクス型発光表示装置の概略斜視図である。本装置は複数のストライプ状のカソード配線 2 b と、それに概ね直交する複数のストライプ状のゲート配線 4 b と、これらの交叉する領域に設けた複数の電界電子放出素子群とを表面に有する平面基板 1 と、これに対向して配置され、ほぼ全面にアノード電極 9 と蛍光層 18 が積層された対向基板 10 と、これらの基板間に保持された真空層 12 とが主たる構成である。各面素は各電界電子放出素子群とそれに対向した蛍光層領域で構成される。すなわち $m \times n$ 番地の面素は第 n 番目のカソード配線と第 m 番目のゲート配線の交叉領域 pqr s 内に設けられた電界電子放出素子群と、それに対応する対向基板 10 の蛍光層領域 $p'q'r's'$ で構成される。平面基板 1 は p 型

Si 単結晶基板、カソード配線 2 b は平面基板 1 に形成された n 型 Si 層よりなる。またカソード電極 2 は交叉領域のカソード配線 2 b の表面に同じ n 型 Si 層でつくられる。カソード電極 2、絶縁層 3、ゲート電極開口 4 a などの製造方法は実施例 3 とほぼ同様である。対向基板 10 は透明なガラス基板で、アノード電極 9 は ITO などの透明導電層で構成されており、蛍光層 18 の発光はこれらを透過して対向基板 10 の方向より認識される。

この単純マトリクス型発光表示装置はカソード配線 2 b (またはゲート配線 4 c) をセグメント線とし、ゲート配線 4 c (カソード配線 2 b) をコモン線としたマルチプレックス駆動法によって動作される。このとき p 型 Si 単結晶基板の電位に対して n 型 Si 層すなわちカソード配線 2 b の電位が負になることのないように駆動電圧・波形を設定することが重要である。

第 16 図はアクティブマトリクス型発光表示装置の部分的な概略斜視図、第 17 図は本装置の部

分的な概略回路図である。これは薄膜トランジスタ (Thin Film Transistor: TFT) を各面素毎に設け、選択された面素のゲート電極に TFT を通して電圧を印加し表示動作を行うものである。本装置は透明な平面基板 1 の表面に格子状に形成された TFT ゲート線 20 および TFT ソース線 21 と、これらの交点付近に形成されマトリクス状に配列された TFT 19 および電界電子放出素子群と、真空層 12 を挟んで概ね平行に置かれた対向基板 10 の表面に積層されたアノード電極 9 および蛍光層 18 とを主な構成要素とする。電界電子放出素子群は実施例 4 と同様に製造したもので、シリコン薄膜 1 c を共通のカソード配線とする。TFT のドレイン端子はゲート電極 4 に、ゲート端子は TFT ゲート線 20 に、そしてソース端子は TFT ソース線 21 にそれぞれ接続される。TFT として多結晶シリコン TFT、非晶質シリコン TFT、あるいは CdSe TFT などが利用できる。本装置の駆動方法は以下のようなのである。すなわち、各 TFT ソース線 21 にデータ電圧を

印加しておき、選択するTFTゲート線20(走査線)にTFTをonする選択電圧を印加すると、それに沿ったTFTがon状態となり、TFTのチャネルを通してデータ電圧が各画素のゲート電極4に印加される。このデータ電圧により蛍光層18が所望の発光輝度を呈する電子が各電界電子放出素子群より放出され画素の表示がなされる。この表示動作を各走査線毎に順次行うことにより画面の表示が行われる。

なお、蛍光層18として各画素毎に赤(R)、緑(G)、青(B)を呈する蛍光体を配列すると、マルチカラーもしくはフルカラーの発光型表示装置を実現できる。また、蛍光層18の発光を対向基板10の方向より認識することもできるが、平面基板1は透明であり平面基板1で使われる電極、配線を細線化もしくは透明化することにより平面基板1の方向より認識することも容易である。本実施例にて述べたモノクロもしくはカラー対応の発光型表示装置は、その低消費電力と薄型という特長を生かして、平坦型の壁掛けテレビジョンや

軽量の携帯型テレビジョン、ラップトップコンピュータやパームトップコンピュータなどの携帯型情報機器の端末表示装置、携帯用VTRの電子式ビューファインダ、投射型表示装置の映像光源などへの適用性に優れている。また、7セグメントのキャラクタ表示装置や特殊小型表示装置を構成して、英数字表示器、腕時計用時刻表示器、ゲーム機用表示装置に利用される。

<実施例8>

本実施例では電界電子放出素子を用いた光プリンタヘッド装置について述べる。

第18図(a)および(b)は単色の光プリンタヘッド装置の概略平面図およびJ-J'線に沿った概略断面図である。本装置は電界電子放出素子群と蛍光層よりなる画素を一行に配列し、それぞれのゲート電極4あるいはアノード電極9に印加する電圧によって任意の画素を発光させるものである。この光プリンタヘッド装置は蛍光層に三種類の異なった蛍光体材料を配列することによつ

て、RGBの三色光源とすることも容易である。データ信号によるそれぞれの画素の発光状態の制御は、平面基板1に一体化してつくられたSiLSI回路もしくはTFT回路、あるいはCOG技術などによってハイブリッドに形成された個別LSIチップなどによって行われる。モノクロ型もしくはカラー型はゼログラフィー方式光プリンタや銀塩写真方式、光感応型色素方式などのカラー光プリンタのライン型光源として利用される。

[発明の効果]

本発明の電界電子放出素子およびその製造方法は以下に列記するような発明の効果を有する。

- ①カソード電極とゲート電極は自己整合して形成され、しかも突起形状やサイズについては電気特性の均一性がよい。
- ②ガラス基板、半導体基板、あるいは導電性基板など多種類の基板が利用できるものであるため、デバイスの自由度が大きい。
- ③絶縁層の品質が高く、絶縁耐圧などの電気特性

に優れ、電界電子放出素子で構成した高耐圧・パワー装置に信頼性が高い。

④半導体のVLSI技術に整合し適合した製造方法であるため、同一基板上に駆動回路などが同時に形成され、デバイスの複合化・高機能化が容易でインテリジェントデバイスの構成に適する。

4. 図面の簡単な説明

第1図(a)および(b)は実施例1を説明するためのもので、Si単結晶基板の熱酸化法によってつくられる電界電子放出素子の概略平面図およびA-A'線に沿った概略断面図である。

第2図(a)乃至(e)は第1図に示した電界電子放出素子の製造方法を説明するためのもので、各主要工程終了後における平面基板の概略断面図である。

第3図は従来のスピント型電界電子放出素子の概略断面図である。

第4図(a)乃至(d)は逆テーパ形状を有する拡散マスクを利用した電界電子放出素子の製造

方法の各主要工程終了後における平面基板の概略断面図である。

第5図(a)および(b)は多層膜よりなる二種類の拡散マスクの概略断面図である。

第6図(a)乃至(e)はカソード電極をより高くした電界電子放出素子の製造方法の各主要工程終了後における平面基板の概略断面図である。

第7図(a)および(b)は実施例3の電界電子放出素子の概略平面図およびD-D'線に沿った概略断面図である。

第8図は絶縁性基板をもつ電界電子放出素子の概略断面図である。

第9図(a)乃至(c)は実施例5の第六工程前後における平面基板の概略断面図である。

第10図はカソード電極の突起先端にBa薄膜を形成した電界電子放出素子の概略断面図である。

第11図(a)および(b)は縦型三極装置の概略平面図およびG-G'線に沿った概略断面図である。

第12図(a)および(b)は横型三極装置の

概略平面図およびH-H'線に沿った概略断面図である。

第13図は縦型三極装置の電圧・電流(V-I)静特性を示すグラフである。

第14図は縦型三極装置を用いてリニア増幅器を構成した回路図である。

第15図は単純マトリクス型発光表示装置の概略斜視図である。

第16図はアクティブマトリクス型発光表示装置の部分的な概略斜視図である。

第17図は本装置の部分的な概略回路図である。

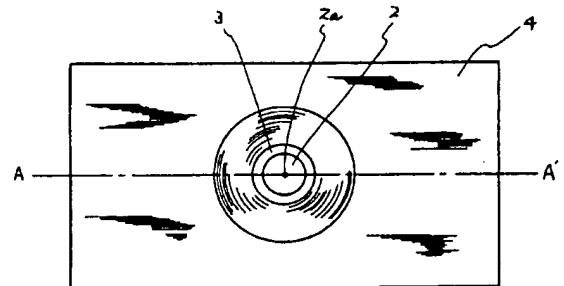
第18図(a)および(b)は単色の光プリンタヘッド装置の概略平面図およびJ-J'線に沿った概略断面図である。

1・・・平面基板、1a・・・台座、1b・・・石英基板、1c・・・Si薄膜、1d・・・カソード端子、2・・・カソード電極、2a・・・突起先端、2b・・・カソード配線、3・・・絶縁層、3a・・・絶縁層開口、4・・・ゲート電極、4a・・・ゲート電極開口、4b・・・ゲート端子、4c・・・ゲート配線、

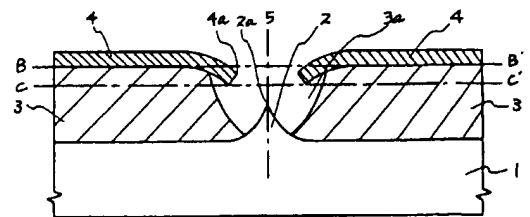
4'・・・ゲート電極層、5・・・鉅軸、6・・・拡散マスク、6a・・・第一SiO₂膜、6b・・・Si₃N₄膜、6c・・・第二SiO₂膜、7・・・エッチングガス、8・・・Ba薄膜、9・・・アノード電極、9a・・・アノード端子、10・・・対向基板、11・・・挟持体、12・・・真空層、13a・・・ゲート電流、13b・・・アノード電流、14・・・三極装置、15・・・負荷抵抗、16・・・アノードバイアス電圧、17・・・入力電流、18・・・蛍光層、19・・・TFT、20・・・TFTゲート線、21・・・TFTソース線、301・・・シリコン基板、302・・・カソード電極、303・・・絶縁層、303a・・・絶縁層開口、304・・・ゲート電極、304a・・・ゲート電極開口

以上

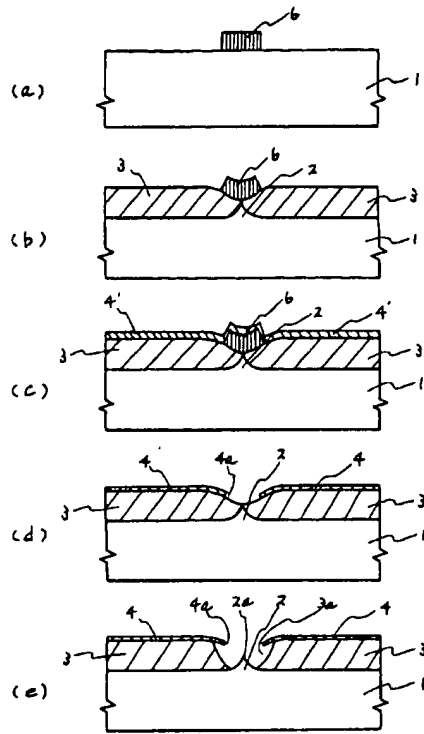
出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木喜三郎 他1名



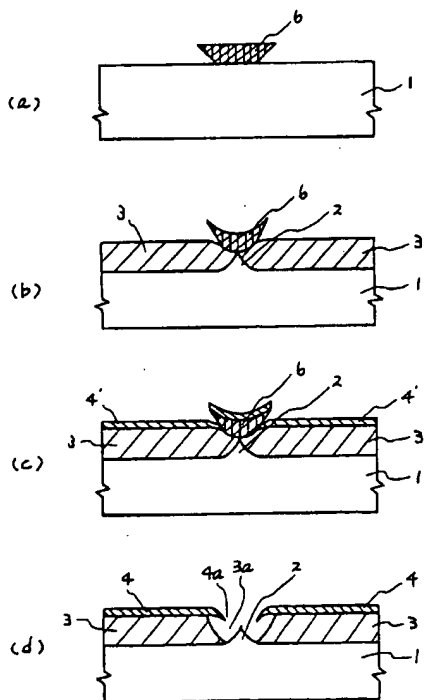
第1図(a)



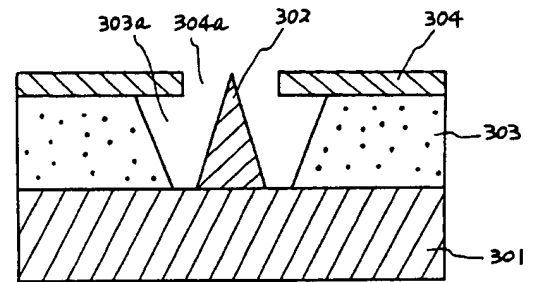
第1図(b)



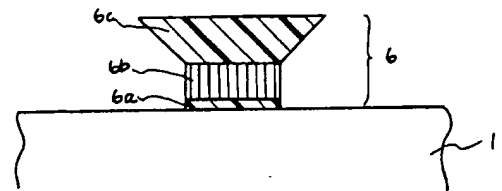
第 2 図



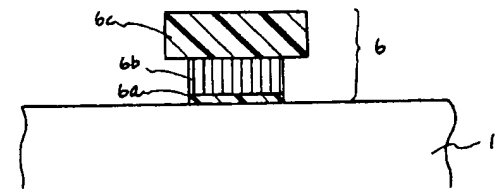
第 4 図



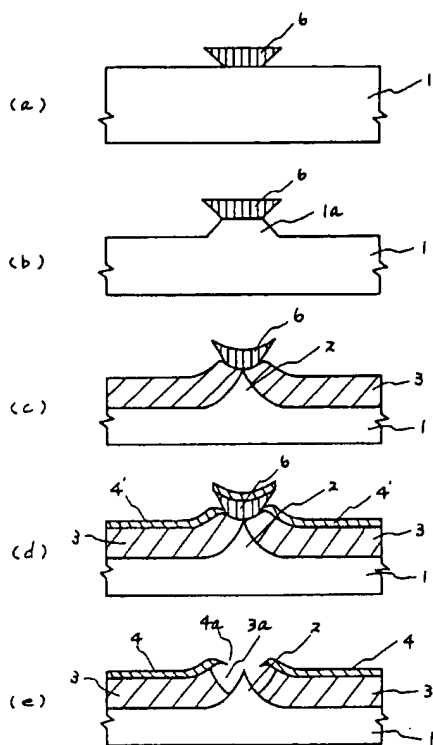
第 3 図



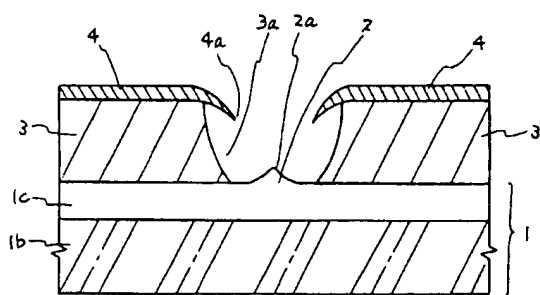
第 5 図 (a)



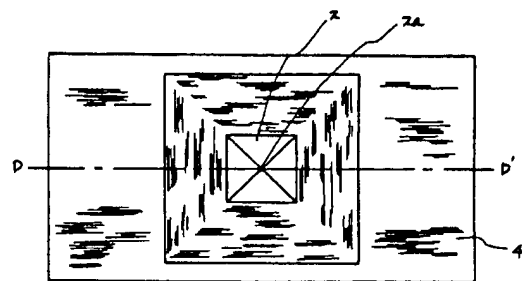
第 5 図 (b)



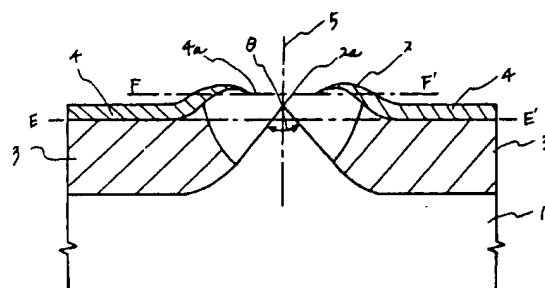
第 6 図



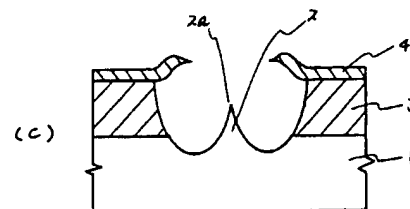
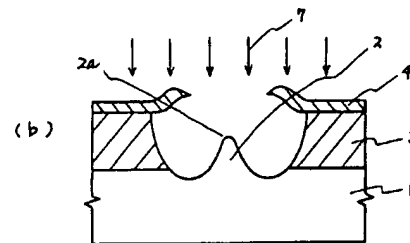
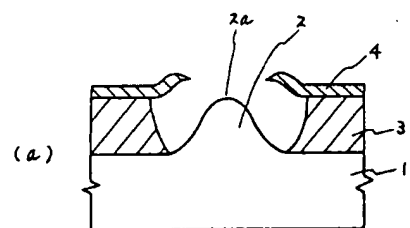
第 8 図



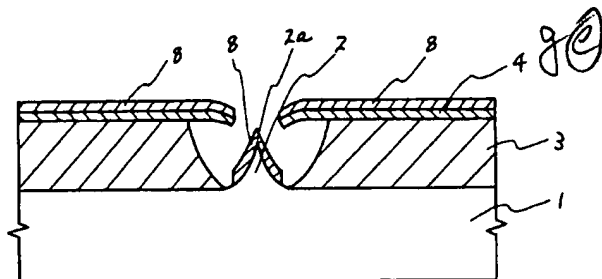
第 7 図 (a)



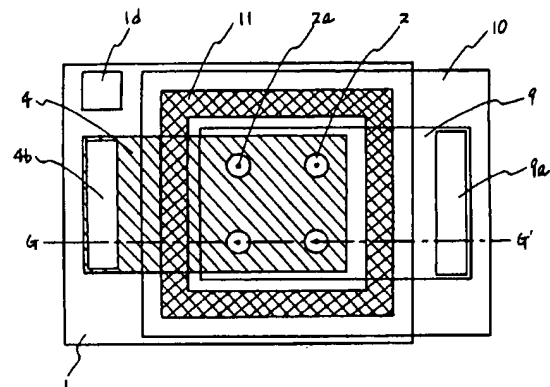
第 7 図 (b)



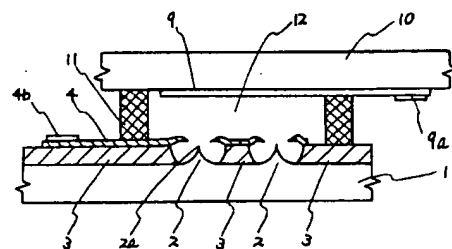
第 9 図



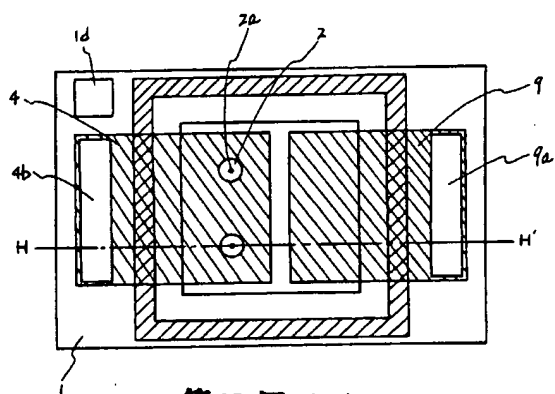
第10図



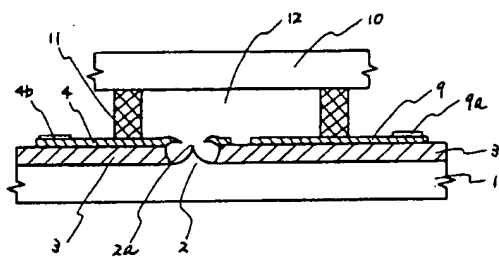
第 17 図 (a)



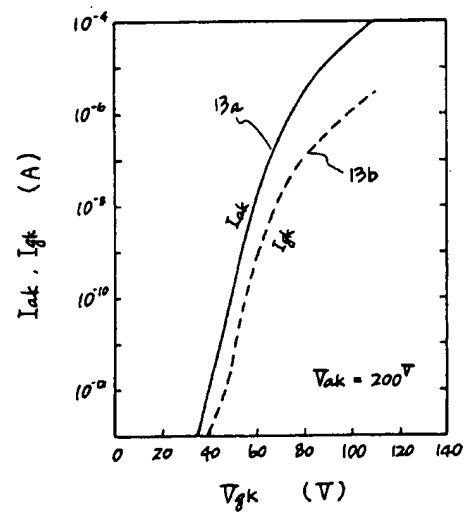
第 11 図 (b)



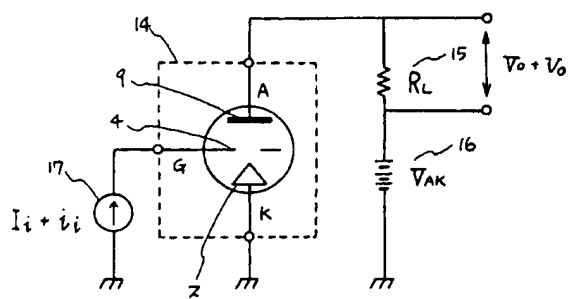
第 12 図 (a)



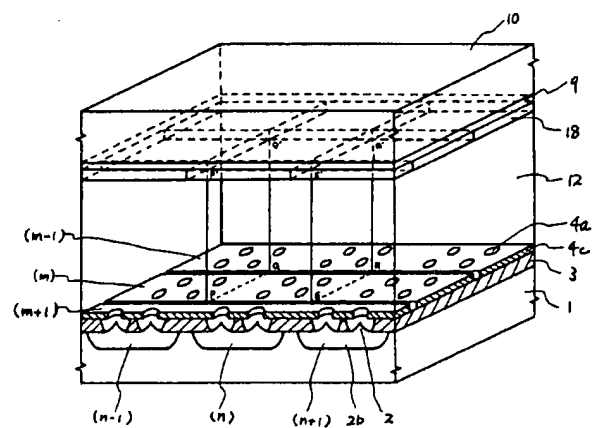
第 12 図 (b)



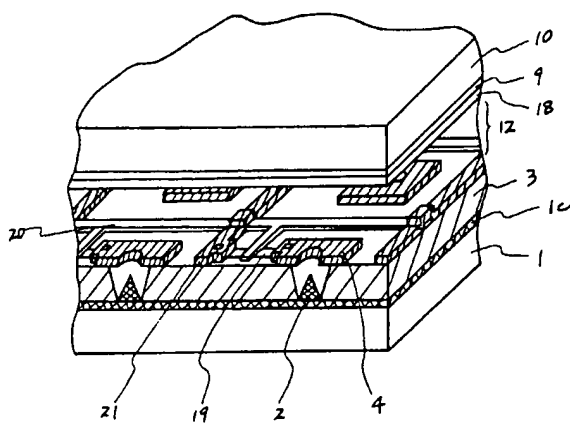
第13図



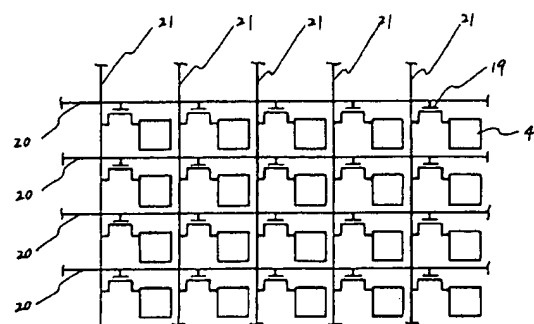
第 14 図



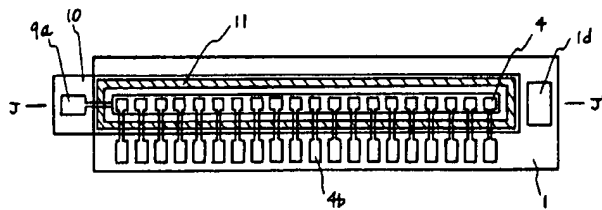
第 15 図



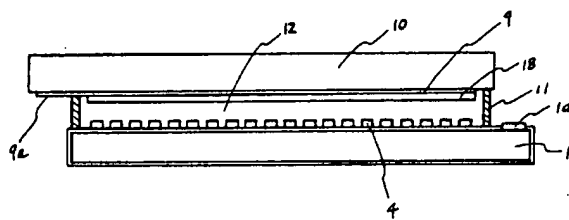
第 16 図



第 17 図



第18図 (a)



第18図 (b)